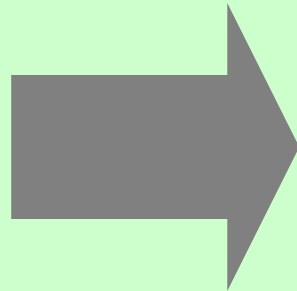
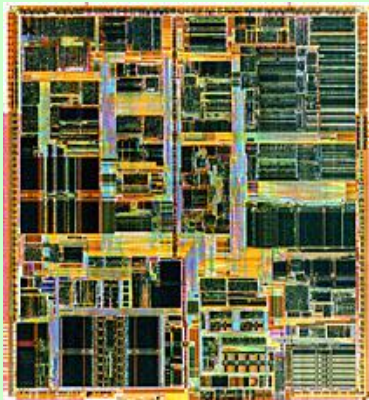


# INTRODUCCIÓN A LOS MICROPROCESADORES

Por Manuel Rico Secades  
Tecnología Electrónica  
Universidad de Oviedo

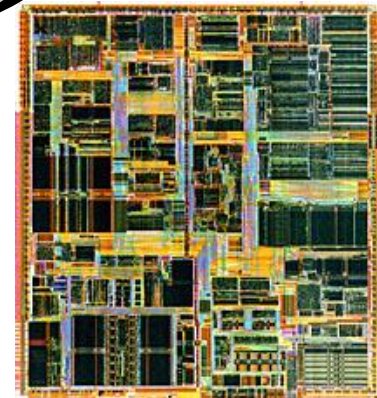
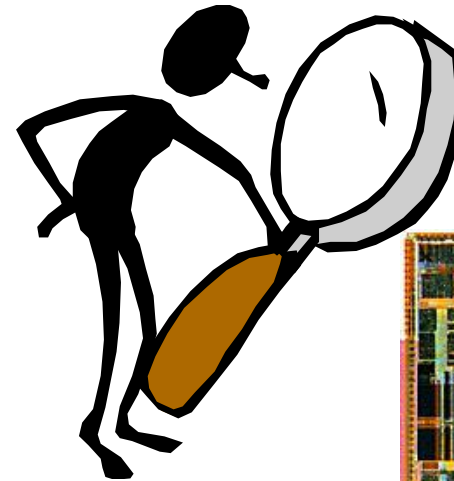


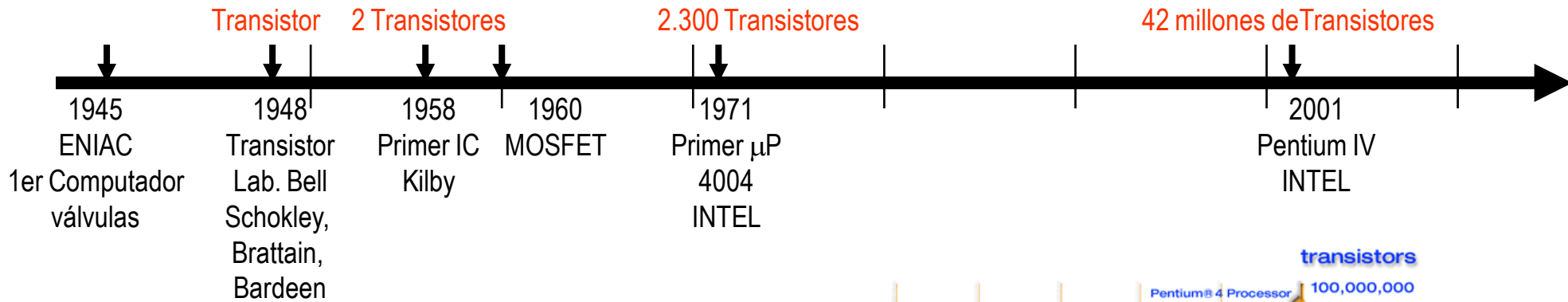


## BUSCANDO FALLOS EN EL ESQUEMA DE UN MICROPROCESADOR

Chipworks Inc  
Canada

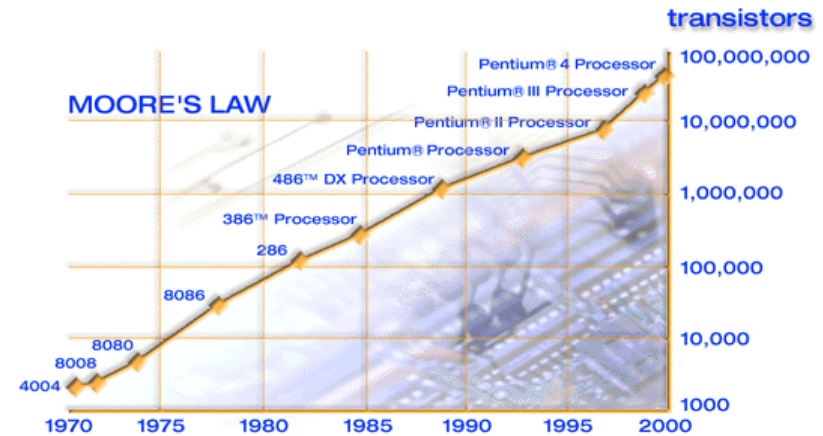
¡ El Microprocesador es  
un componente de alta escala  
de integración (LSI) !





### 1970s Processors

	4004	8008	8080	8086	8088
Introduced	11/15/71	4/1/72	4/1/74	6/8/78	6/1/79
Clock Speeds	108KHz	200KHz	2MHz	5MHz, 8MHz, 10MHz	5MHz, 8MHz
Bus Width	4 bits	8 bits	8 bits	16 bits	8 bits
Number of Transistors	2,300 (10 microns)	3,500 (10 microns)	6,000 (6 microns)	29,000 (3 microns)	29,000 (3 microns)
Addressable Memory	640 bytes	16 KBytes	64 KBytes	1 MB	1 MB
Virtual Memory	--	--	--	--	--
Brief Description	First microcomputer chip. Arithmetic manipulation	Data/character manipulation	10X the performance of the 8008	10X the performance of the 8080	Identical to 8088 except for its 8-bit external bus



### 1980s Processors

	80286	Intel386™ DX Microprocessor	Intel386™ SX Microprocessor	Intel486™ DX CPU Microprocessor
Introduced	2/1/82	10/1/85	6/16/88	4/10/89
Clock Speeds	6MHz, 8MHz, 10MHz, 12.5MHz	16MHz, 20MHz, 25MHz, 33MHz	16MHz, 20MHz, 25MHz, 33MHz	25MHz, 33MHz, 50MHz
Bus Width	16 bits	32 bits	16 bits	32 bits
Number of Transistors	134,000 (1.5 microns)	275,000 (1 micron)	275,000 (1 micron)	1.2 million (1 micron) (.8 micron with 50MHz)
Addressable Memory	16 megabytes	4 gigabytes	16 megabytes	4 gigabytes
Virtual Memory	1 gigabyte	64 terabytes	64 terabytes	64 terabytes
Brief Description	3-6X the performance of the 8086	First X86 chip to handle 32-bit data sets	16-bit address bus enabled low-cost 32-bit processing	Level 1 cache on chip

### 1990s Processors

	Intel486™ SX Microprocessor	Pentium® Processor	Pentium® Pro Processor	Pentium® II Processor
Introduced	4/22/84	3/22/83	11/01/95	5/07/97
Clock Speeds	16MHz, 20MHz, 25MHz, 33MHz	60MHz, 66MHz	150MHz, 166MHz, 180MHz, 200MHz	200MHz, 233MHz, 266MHz, 300MHz
Bus Width	32 bits	64 bits	64 bits	64 bits
Number of Transistors	1.185 million (1 micron)	3.1 million (.8 micron)	5.5 million (0.35 micron)	7.5 million (0.35 micron)
Addressable Memory	4 gigabytes	4 gigabytes	64 gigabytes	64 gigabytes
Virtual Memory	64 terabytes	64 terabytes	64 terabytes	64 terabytes
Brief Description	Identical in design to Intel486™ DX but without math coprocessor	Superscalar architecture brought 5X the performance of the 33-MHz Intel486™ DX processor	Dynamic execution architecture drives high-performing processor	Dual independent bus, dynamic execution, Intel MMX™ technology
Other Processor Family Members	<a href="#">Quick Reference Guide</a>	<a href="#">Quick Reference Guide</a>	<a href="#">Quick Reference Guide</a>	<a href="#">Quick Reference Guide</a>

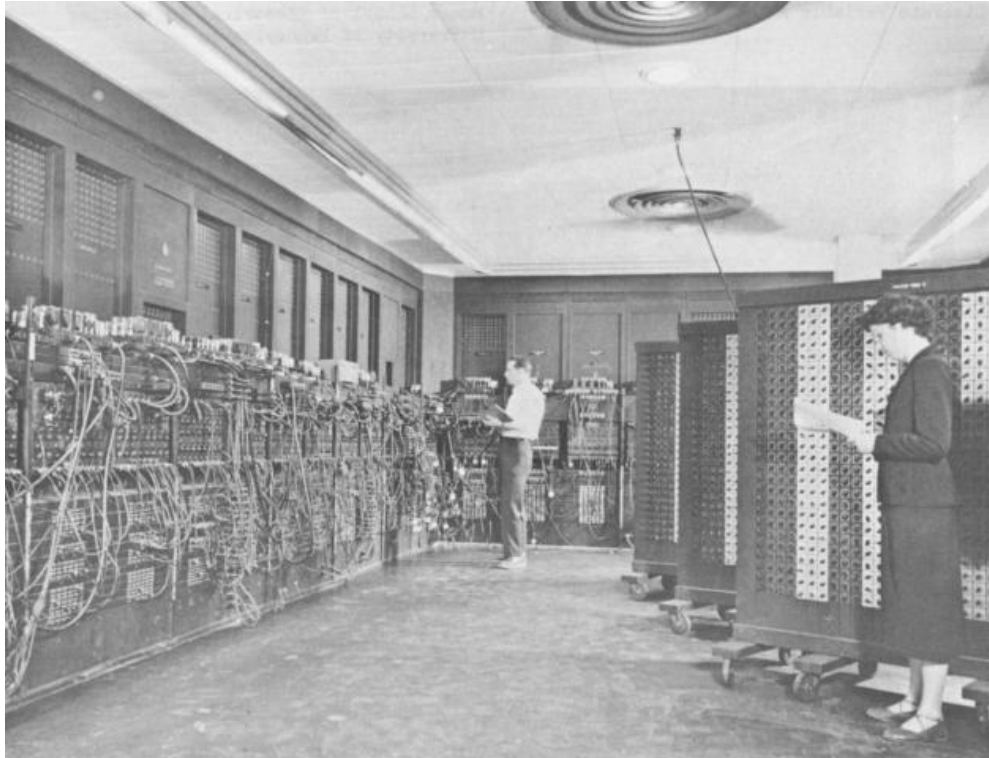
	Year of introduction	Transistors
4004	1971	2,250
8008	1972	2,500
8080	1974	5,000
8086	1978	29,000
286	1982	120,000
386™ processor	1985	275,000
486™ DX processor	1989	1,180,000
Pentium® processor	1993	3,100,000
Pentium II processor	1997	7,500,000
Pentium III processor	1999	24,000,000
Pentium 4 processor	2000	42,000,000

## PALABRAS UTILIZADAS

μP            Microprocesador  
 μC            Microcontrolador  
 DSP          Procesador Digital de Señal

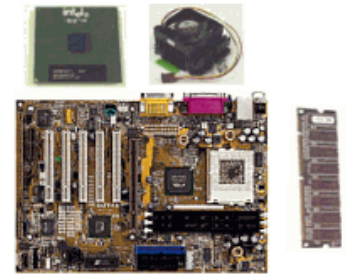
Computador  
 Computador personal  
 Microcomputador  
 PLC          Autómata Programable

Name	Date	Transistors	Microns	Clock speed	Data width	MIPS
8080	1974	6,000	6	2 MHz	8 bits	0.64
8088	1979	29,000	3	5 MHz	16 bits, 8-bit bus	0.33
80286	1982	134,000	1.5	6 MHz	16 bits	1
80386	1985	275,000	1.5	16 MHz	32 bits	5
80486	1989	1,200,000	1	25 MHz	32 bits	20
Pentium	1993	3,100,000	0.8	60 MHz	32 bits, 64-bit bus	100
Pentium II	1997	7,500,000	0.35	233 MHz	32 bits, 64-bit bus	~300
Pentium III	1999	9,500,000	0.25	450 MHz	32 bits, 64-bit bus	~510
Pentium 4	2000	42,000,000	0.18	1.5 GHz	32 bits, 64-bit bus	~1,700



**ENIAC (1945)**

**56 años**



**PC con P4**

**Microprocesador ( $\mu\text{P}$ )** = Componente LSI que incorpora los elementos de la unidad central de proceso (CPU) de un computador.

**Microcomputador**= Sistema computador construido alrededor de un  $\mu\text{P}$ .

**Minicomputador**= Sistema computador con CPU basada en bloques MSI o SSI.

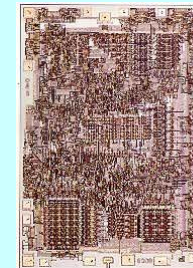
**Microcontrolador ( $\mu\text{C}$  o **MCU**)**=  $\mu\text{P}$  en un solo chip .

### ANÉCDOTA INTEL AÑO 1972:

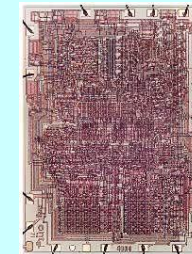
- Contrato para el desarrollo de un TRC para DATAPOINT
- Se presental INTEL y TEXAS
- Lo desarrolla INTEL
- Es algo lento para TRC (no funciona bien como TRC)
- Estalla guerra de precios de transistores (precio transistores baja)
- El TRC con transistores es muy barato
- DATAPOINT “pasa” de INTEL y saca al mercado su TRC con transistores
- Gran faena para INTEL: pérdida de dinero invertido, equipo despedido
- Pone en catálogo el producto desarrollado
- ¡SORPRESA!: El producto se vende muy bien (INTEL 8008)
- **¡Ha nacido el microprocesador!**
- El año anterior (1971) habían desarrollado un producto de arquitectura similar (INTEL 4004) para un fabricante japonés de calculadoras.
- El equipo despedido crea la ZILOG (Z80)
- Otros fabricantes entran en el negocio (MOTOROLA)

TRC = Controlador de tubo de rayos catódicos

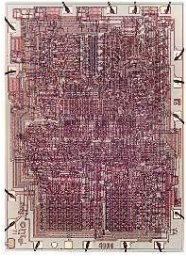
8008



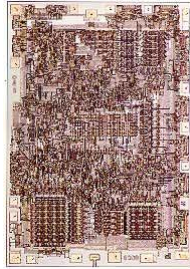
4004



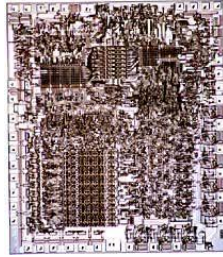
4004



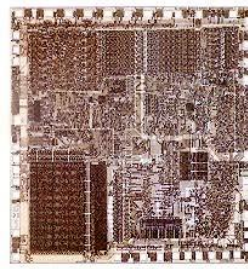
8008



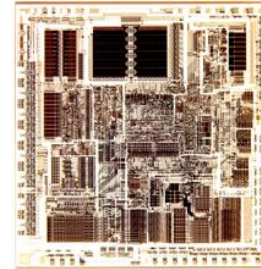
8080



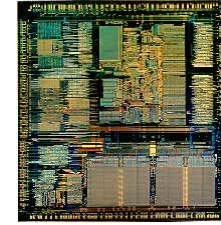
8086/8088



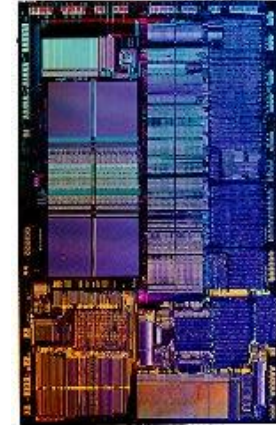
286



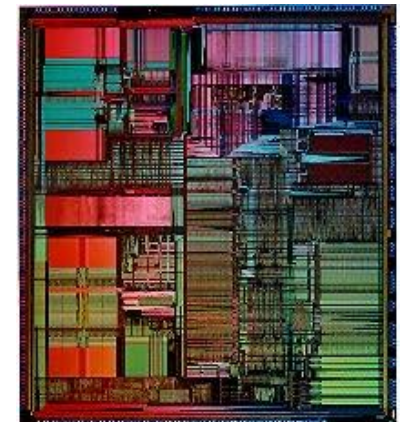
386



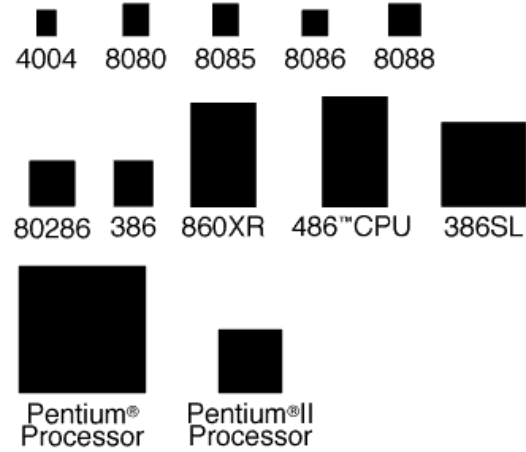
486



PENTIUM



Approximate Size Relationship

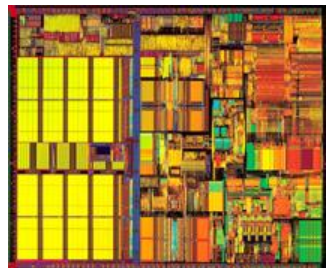


EVOLUCIÓN DE LOS  $\mu$ P INTEL

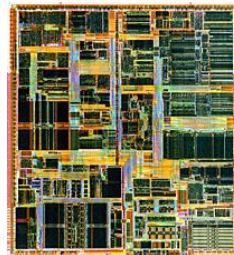
ITALIUM

XEÓN

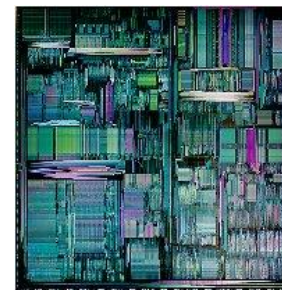
PENTIUM IV



PENTIUM III



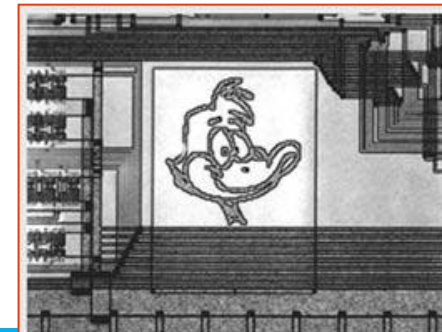
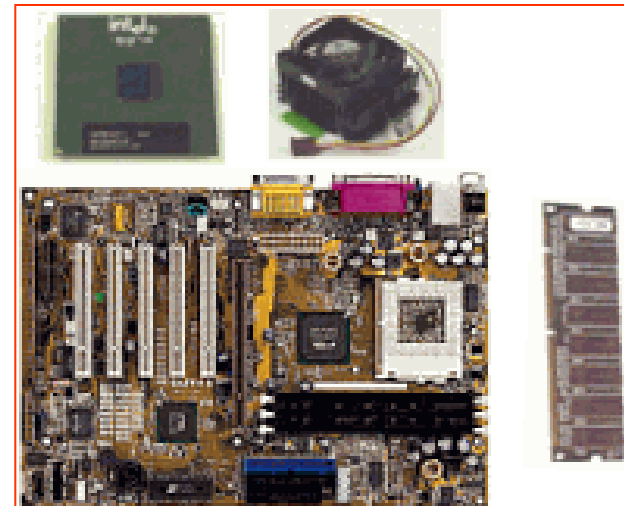
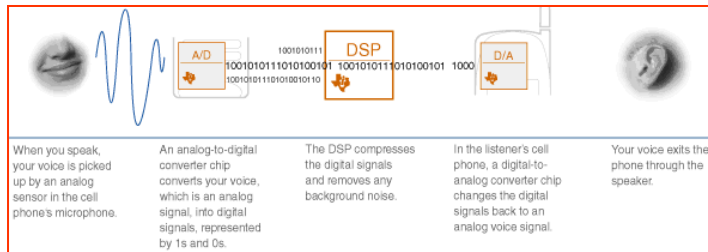
PENTIUM II



PENTIUM PRO

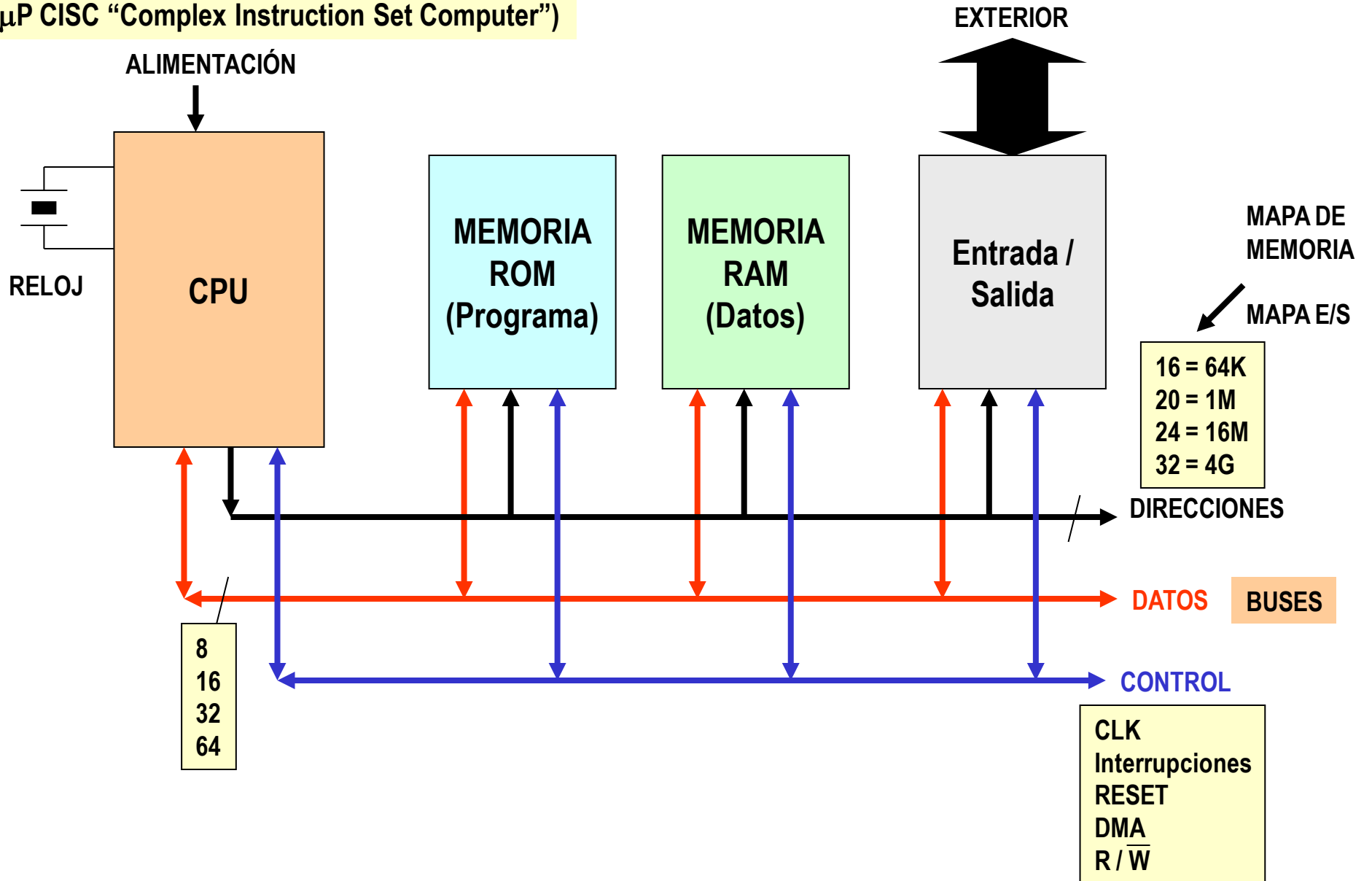
# ELEMENTOS BASADOS EN MICROPROCESADORES

- ✓  $\mu$ P en ordenadores personales: para PC INTEL (PENTIUM) o AMD para MAC MOTOROLA (power PC)
- ✓ MCU en aplicaciones industriales: MICROSYSTEM (PIC), MOTOROLA (68HC11), .....
- ✓ Automátas programables o PLC: OMRON y SIEMENS
- ✓ Procesadores digitales de señal (DSP): Texas Instrument ([www.ti.com](http://www.ti.com))
- ✓ Procesadores Neuronales: MOTOROLA o TOSHIBA (Neuron Chip)



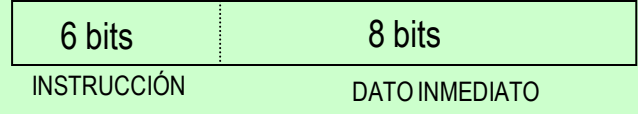


**ARQUITECTURA VON-NEUMANN**  
 (μP CISC “Complex Instruction Set Computer”)

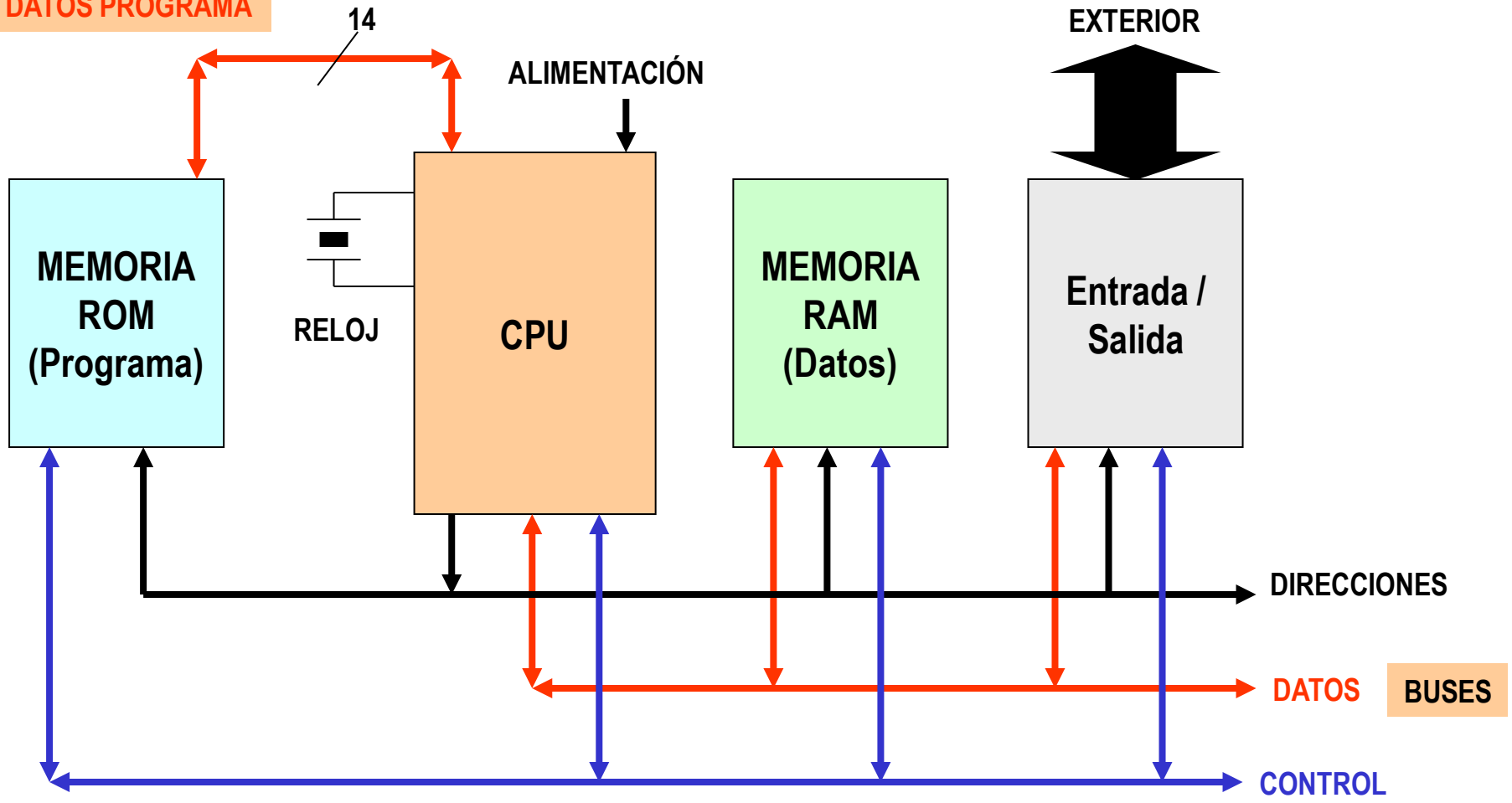


**ARQUITECTURA HARVARD**  
( $\mu$ P RISC "Reduced Instruction Set Computer")

Muy pocas instrucciones: p.e. 64



**BUS DATOS PROGRAMA**

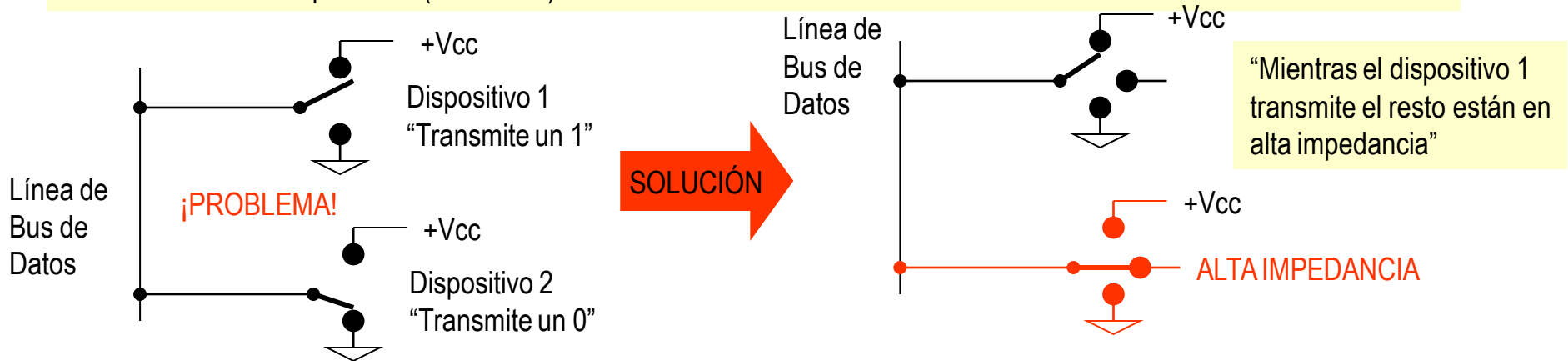


## IDEAS BÁSICAS $\mu$ P

- 1.- Es un sistema secuencia sincrónico.
- 2.- Existe siempre un RELOJ (CLK). Normalmente la circuitería es interna y con un cuarzo externo se define la frecuencia de funcionamiento.
- 3.- Existe un PROGRAMA que gobierna el funcionamiento del sistema. Está constituido por un conjunto de instrucciones que se ejecutan de forma secuencial y que están almacenadas en memoria (ROM) de forma codificada.
- 4.- La MEMORIA es el lugar de almacenamiento de datos y resultados parciales. Datos fijos y Programa (ROM) y datos variables (RAM).
- 5.- La CPU tiene las siguientes funciones:
  - Recoge las instrucciones de programa que están en memoria
  - Las decodifica y ejecuta
  - Reconoce situaciones especiales (RESET, Interrupciones, etc)
- 6.- Dentro de la CPU tenemos varios elementos básicos que debemos conocer:
  - Los REGISTROS de uso común y los de estado (Acumuladores, PC, SP, IX, F)
  - La unidad aritmético lógicamente (ALU). Define las operaciones aritmético/lógicas que podemos realizar
  - Asociado con ellas el JUEGO DE INSTRUCCIONES que es capaz de realizar.
- 7.- La unidad de E/S proporciona la interconexión con el mundo exterior:
  - Monitor, teclados, ratón, D/A, A/D, memoria externa, discos, periféricos en general.
- 8.- Todos los bloques están interconectados por los BUSES:
  - BUS DE DATOS
  - BUS DE DIRECCIONES
  - BUS DE CONTROL

## BUS DE DATOS

- Es el encargado de transmitir y recibir datos e instrucciones desde y hacia la memoria y unidades de E/S.
- Es BIDIRECCIONAL
- Todos los bloques están conectados en paralelo y comparten todas las líneas del BUS
- Necesidad de Alta Impedancia (Tri-estado)

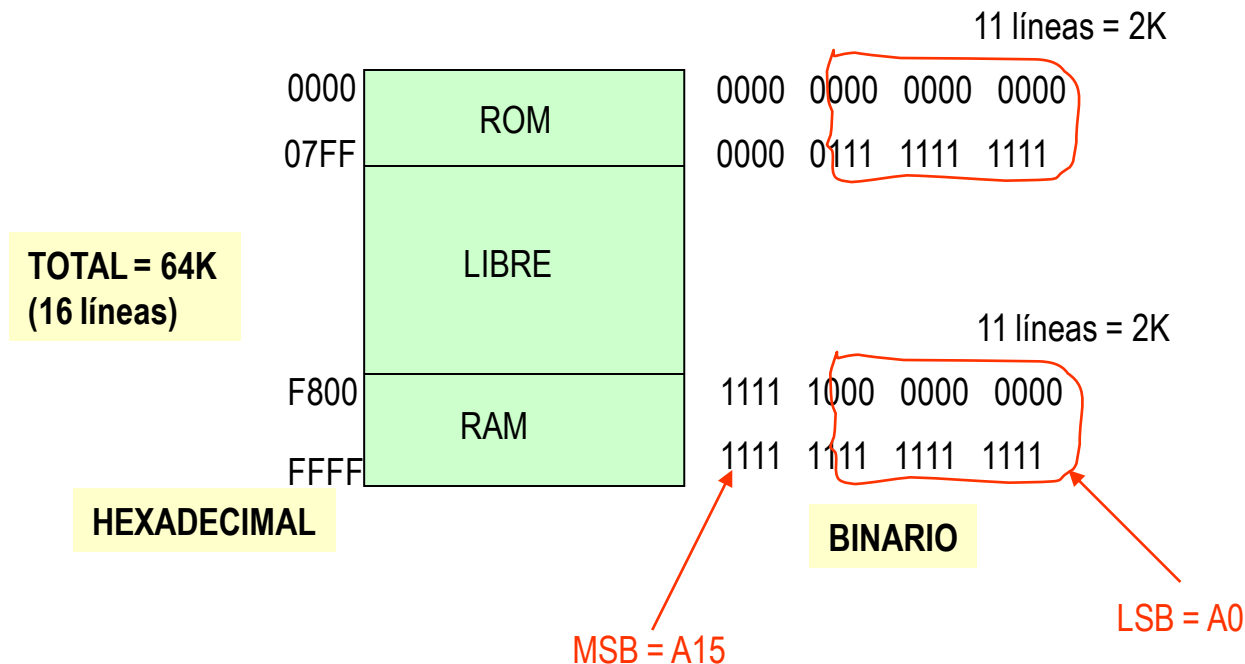


- El número de líneas define el tipo de  $\mu P$ :
  - 8 líneas CPU de 8 bits, 16 líneas CPU de 16 bits, 32 líneas CPU de 32 bits, 64 líneas CPU de 64 bits
- De alguna forma el número de líneas determina el número de instrucciones del procesador y su potencia de cálculo.
- Es muy habitual la nomenclatura: D0, D1, D2,... Y representar los valores en hexadecimal:
  - $0011\ 1100 = (3D)_{\text{hexa}} = (58)_{\text{decimal}}$
- Son habituales las palabras:
  - NIBBLE = 4 bits
  - BYTE = 8 bits
  - WORD = 16 bits
  - LONG WORD = 32 bits

MSB = bit más significativo  
LSB = bit menos significativo (D0)

## BUS DE DIRECCIONES

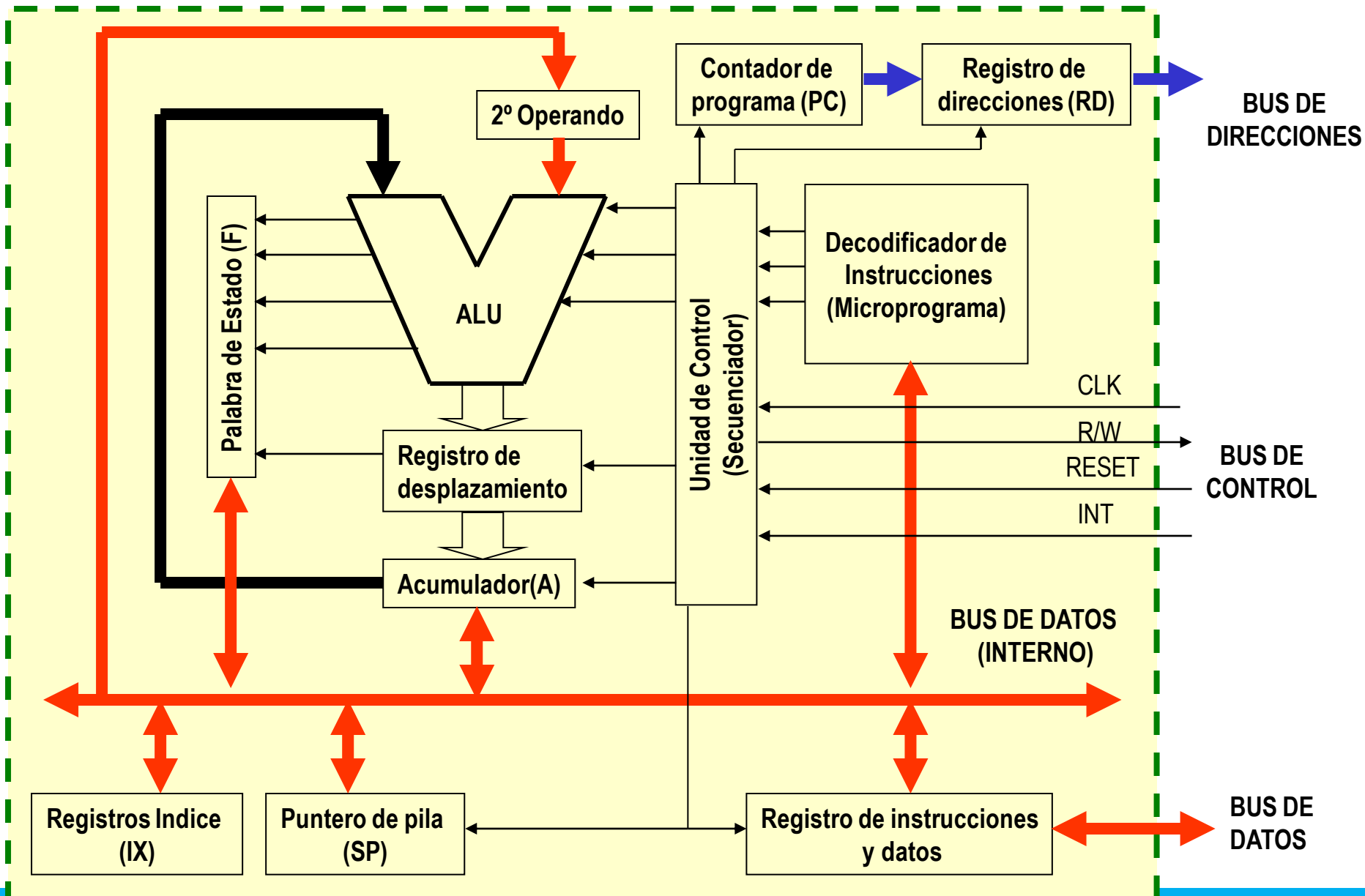
- Selecciona el dispositivo desde donde vamos a leer o escribir (datos o instrucciones)
- Es unidireccional
- El número de líneas define la cantidad de memoria que se puede direccionar directamente (también los periféricos).  
16 líneas = 64K                      20 líneas = 1M                      24 líneas = 16M                      32 líneas = 4G
- Se conoce como MAPA DE MEMORIA y MAPA DE E/S el lugar donde están cada uno de los datos y periféricos.
- Se utiliza la nomenclatura A0, A1, A2, etc. Es habitual trabajar en hexadecimal



## BUS DE CONTROL

- Aquí es donde existe menos generalidad, cada CPU tiene sus líneas de control características.
- Algunas son bidireccionales y otras no.
- Una selección de líneas mas o menos generales podría ser:
  - Líneas de Reloj (CLK)
  - Líneas de control de la memoria y/o E/S (R/W, MEMRQ, IORQ)
  - Líneas de interrupciones, enmascarables y no enmascarables (INT, NMI)
  - Línea de inicialización (RESET)
  - Líneas de acceso directo a memoria (DMA, MEMRQ, MEMACK)
  - Líneas de parada (HLT)
- Algunas CPU's con el fin de minimizar el número de patillas, multiplexan algunas líneas (p.e. Parte de bus de datos y parte del bus de direcciones). En este caso es necesaria una señal de control específica, que indica lo que hay presente en la línea en cada momento.
- Recordar que las líneas que se llevan a muchos dispositivos deben respetar el tema del FAN-OUT.  
Siendo habitual la presencia de DRIVER's (o BUFFERS), que deberán ser unidireccional o bidireccional según el caso.

# ESTRUCTURA BÁSICA DE UNA CPU



## REGISTRO DE ESTADO (F)

Se puede llamar de varias formas:

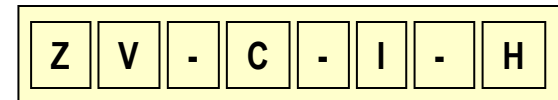
F      Flags  
PWR   Registro de estado

Se debe mirar en cada CPU que bitstenemos disponible.  
Son muy importantes para los saltos condicionales.

Los bits mas típicos de este registro son:

Z      bit de Zero, se pone a 1 si el resultado fue nulo  
C      bit Carry, se pone a 1 si hubo acarreo  
V      bit Overflow, se pone a 1 si hubo desbordamiento  
I      bit de interrupción. Inhibición de interrupciones enmascarables  
H      bit de acareo intermedio

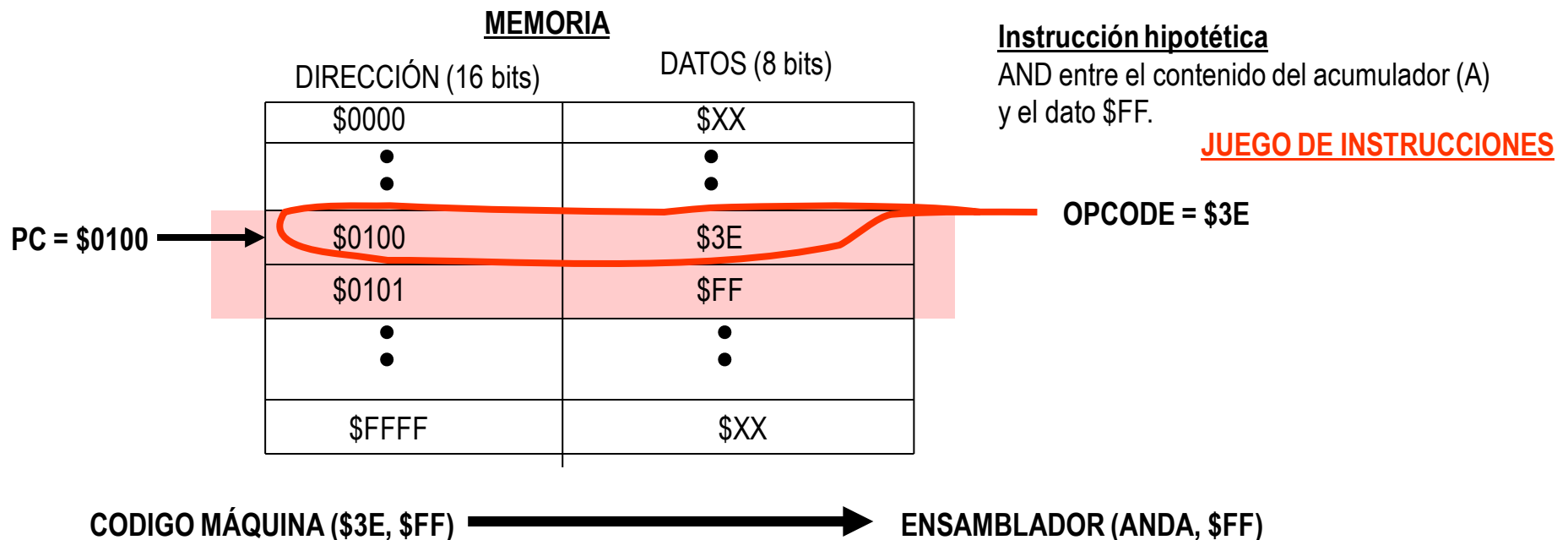
### REGISTRO F





# SECUENCIA DE BUSQUEDA Y EJECUCIÓN DE INSTRUCCIONES

- FASE DE BUSQUEDA (utiliza los buses externos)
  - Se inicia en el PC, que contiene la dirección de memoria donde se encuentra el código binario de la instrucción (COP, OP CODE)
  - Esta dirección se coloca en el registro de direcciones (RD). Va hacia la memoria externa por el bus de direcciones
  - El COP se recoge por el bus de datos y es almacenado en el Registro de Instrucciones (RI)
- FASE DE EJECUCIÓN (podría utilizar los buses externos para otra función simultánea)
  - Se decodifica la instrucción en la UNIDAD DE CONTROL.
  - Cada instrucción se sub-divide en un conjunto de pequeñas tareas que deben ser secuenciadas por la unidad de control (MICROPROGRAMA)
  - La ejecución podría requerir otra fase de búsqueda para operar sobre un dato de memoria.
  - Cuando una instrucción se ejecuta el PC ya está apuntado a la siguiente (importante en los saltos)



## TIPOS DE INSTRUCCIONES DE UN MICROPROCESADOR

### 1.- INSTRUCCIONES DE TRANSFERENCIA:

Movimiento de datos de un lugar a otro (entre memoria, entre registros, de memoria a registros)

### 2.- INSTRUCCIONES ARITMÉTICAS Y LÓGICAS

Aritméticas (sumas, restas, multiplicaciones, divisiones)

Lógicas (AND, NO, OR)

Rotaciones y desplazamientos

### 3.- INSTRUCCIONES DE E/S

Leer y escribir datos en las unidades de E/S

### 4.- INSTRUCCIONES DE SALTO

Saltos condicionales e incondicionales

Llamadas y retorno de rutinas

Retornos de interrupciones

### 5.- INSTRUCCIONES DE CONTROL

Parada, configuraciones

**¡¡ CADA  $\mu$ P TIENE SU PROPIO JUEGO DE INSTRUCCIONES !!**  
**Es difícil dar recetas generales**