

Puertos

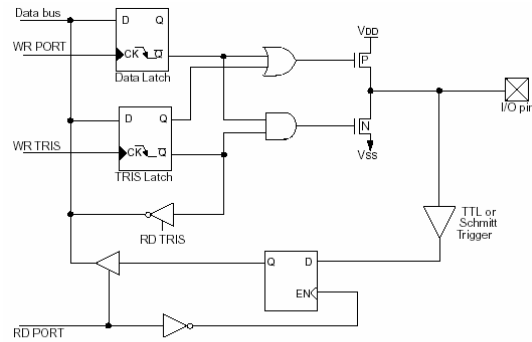


Puertos de Entrada/Salida

- Pines de entrada/salida (I/O) de propósito general
- Mediante ellos, el micro PIC puede monitorizar y controlar otros dispositivos.
- Para añadir flexibilidad al micro, muchos de sus pines de entrada/salida están multiplexados con **funciones alternativas**.
- Para la mayoría de los puertos, la dirección del pin I/O es controlada por el registro de dirección de datos, llamado **TRIS**. $TRISX\langle n \rangle$ controla la dirección del pin n del puerto X .
- Un **1** en el registro TRIS indica que el pin es **entrada**. Un 0 indica que es salida.



Estructura típica de un puerto de entrada/salida de propósito general.



Note: I/O pin has protection diodes to VDD and VSS.

El valor de RESET de los registros TRIS suele ser un '1', de forma que por defecto los pines estén configurados como entradas evitando posibles cortocircuitos en la alimentación que podrían dañar el micro o el resto del sistema.



El registro PORT funciona como un latch para los datos de salida. Cuando el registro PORT se lee (Ej, MOVF PORTB,W), el micro lee los niveles presentes en los pines de I/O (no en los latches).

Cuando una función está multiplexada en un pin de I/O de propósito general, la funcionalidad de un pin puede cambiar para acomodarse a los requisitos del módulo periférico. Por ejemplo, si un micro tiene un conversor A/D, los pines asociados a este módulo están configurados en un RESET como entradas analógicas para evitar un consumo de corriente excesivo en el buffer de dicho pin si este estuviera configurado como entrada digital y el valor de tensión en el pin estuviera a un nivel intermedio.



PUERTOS DE ENTRADA/SALIDA - CARACTERISTICAS ELECTRICAS

15.0 ELECTRICAL CHARACTERISTICS

Absolute Maximum Ratings †	
Ambient temperature under bias	.. -55 to +125°C
Storage temperature	.. -65°C to +150°C
Voltage on any pin with respect to Vss (except Vcc, MCLR and RA4)	.. -0.3 V to (Vcc + 0.3 V)
Voltage on Vcc with respect to Vss	.. -0.3 to +7.5 V
Voltage on MCLR with respect to Vss (Note 2)	.. 0 to +14 V
Voltage on RA4 with respect to Vss	.. 0 to +8.5 V
Total power dissipation (Note 1)	.. 1.0 W
Maximum current out of Vss pin	.. 300 mA
Maximum current into Vcc pin	.. 250 mA
Input clamp current, I _{IK} (V _I < 0 or V _I > V _{CC})	.. ± 20 mA
Output clamp current, I _{OL} (V _O < 0 or V _O > V _{CC})	.. ± 20 mA
Maximum output current sunk by any I/O pin	.. 25 mA
Maximum output current sourced by any I/O pin	.. 25 mA
Maximum current sunk by PORTA, PORTB, and PORTE (combined) (Note 3)	.. 200 mA
Maximum current sourced by PORTA, PORTB, and PORTE (combined) (Note 3)	.. 200 mA
Maximum current sunk by PORTC and PORTD (combined) (Note 3)	.. 200 mA
Maximum current sourced by PORTC and PORTD (combined) (Note 3)	.. 200 mA

† Note 1: Power dissipation is calculated as follows: P_{dis} = V_{CC} × (I_{CC} + ∑ I_{OH}) + ∑ [(V_{CC} - V_{OH}) × I_{OH}] + ∑ (V_{OL} × I_{OL})

2: Voltage spikes below V_{ss} at the MCLR pin, inducing currents greater than 80 mA, may cause latch-up. Thus, a series resistor of 50-100Ω should be used when applying a "low" level to the MCLR pin, rather than pulling this pin directly to V_{ss}.

3: PORTD and PORTE are not implemented on PIC16F873/876 devices.



Debe tenerse **cuidado** con los pines que en determinados momentos son entradas y en otros salida o viceversa **con instrucciones que sean del tipo READ-MODIFY-WRITE** como por ejemplo son las instrucciones BCF ó BSF ó XORWF.

En el ejemplo que se muestra a continuación el usuario esperaría tener al final del programa los pines 7 y 6 del PORTB como salidas con un valor 0 en ellas. Sin embargo, se encuentra con que el bit 6 si tiene un 0, pero el bit 7 tiene un 1

```
; Selección inicial del puerto: PORTB<7:4> Entradas
; PORTB<3:0> Salidas
; PORTB<7:4> tiene las resistencias de pull-up activas y no están conectadas a otro circuito
```

	PORT latch	PORT pins	
BCF PORTB, 7 ;	01pp pppp	11pp pppp	;RB7 es entrada
BCF PORTB, 6 ;	10pp pppp	11pp pppp	
BSF STATUS, RPO ;			
BCF TRISB, 7 ;	10pp pppp	11pp pppp	;RB7 es salida
BCF TRISB, 6 ;	10pp pppp	10pp pppp	;RB6 es salida

```
; El usuario esperaba un valor 00pp pppp en el PORTB.
; Pero el 2º BCF hace que RB7 se latchee en la salida como un 1 y al pasar este pin a ser salida; el uno aparece en RB7.
```

Puertos de Entrada/Salida

Note 1: I/O pins have protection diodes to VDD and VSS.

Puerto A

Puerto bidireccional de 6 bits RA0-RA5

Los pines RA0:3 y RA5 de este puerto tienen como función alternativa ser parte del modulo conversor A/D. RA5 también puede ser una entrada de selección de esclavo del módulo SPI.

Name	Bit#	Buffer	Function
RA0/AN0	bit0	TTL	Input/output or analog input.
RA1/AN1	bit1	TTL	Input/output or analog input.
RA2/AN2	bit2	TTL	Input/output or analog input.
RA3/AN3/VREF	bit3	TTL	Input/output or analog input or VREF.
RA4/T0CKI	bit4	ST	Input/output or external clock input for Timer0. Output is open drain type.
RA5/SS/AN4	bit5	TTL	Input/output or slave select input for synchronous serial port or analog input.

Legend: TTL = TTL input, ST = Schmitt Trigger input

©ATE-Universidad de Oviedo

7

Puertos de Entrada/Salida

Note 1: I/O pin has protection diodes to VSS only.

RA4

tiene como función alternativa de servir como **entrada de reloj** para el temporizador/contador TMR0.

Cuando los pines funcionan como entradas salidas de **proposito general**:

- Los pines RA0:3 y RA5 son salidas de tipo push-pull ó entradas de tipo TTL.
- El pin RA4 es una salida de tipo drenador abierto o una entrada de tipo Schmitt Trigger.

©ATE-Universidad de Oviedo

8

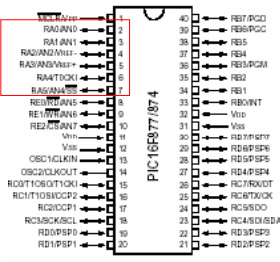


REGISTROS ASOCIADOS AL PUERTO A

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
05h	PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--0x 0000	--0u 0000
85h	TRISA	—	—	PORTA Data Direction Register						--11 1111	--11 1111
9Fh	ADCON1	ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0	--0- 0000	--0- 0000

Legend: x = unknown, u = unchanged, - = unimplemented locations read as '0'.
Shaded cells are not used by PORTA.

PDIP



Todas las operaciones de escritura sobre el PORTA son operaciones de lectura-modificación-escritura.

Ejemplo de inicialización del PORTA

```
BCF STATUS, RP0 ;
BCF STATUS, RP1 ; Banco 0
CLRF PORTA ; Inicializo PORTA poniendo los latches a 0 BSF
STATUS, RP0 ; Banco 1
MOVLW 0x06 ; Configuro todos los pines
MOVWF ADCON1 ; como entradas digitales
MOVLW 0xCF
MOVWF TRISA ; RA<3:0> son entradas
; RA<5:4> son salidas
; TRISA<7:6> se leen siempre como 0
```



PCFG3:PCFG0: A/D Port Configuration Control bits:

PCFG3: PCFG0	AN2 ⁽¹⁾ RE2	AN5 ⁽¹⁾ RE1	AN5 ⁽¹⁾ RE0	AN4 RA5	AN3 RA3	AN2 RA2	AN1 RA1	AN0 RA0	VREF+	VREF-	CHANN Refs ⁽²⁾
0000	A	A	A	A	A	A	A	A	VDD	VSS	8/0
0001	A	A	A	A	VREF+	A	A	A	RA3	VSS	7/1
0010	D	D	D	A	A	A	A	A	VDD	VSS	5/0
0011	D	D	D	A	VREF+	A	A	A	RA3	VSS	4/1
0100	D	D	D	D	A	D	A	A	VDD	VSS	3/0
0101	D	D	D	D	VREF+	D	A	A	RA3	VSS	3/1
0110	D	D	D	D	D	D	D	D	VDD	VSS	0/0
1000	A	A	A	A	VREF+	VREF-	A	A	RA3	RA2	5/2
1001	D	D	A	A	A	A	A	A	VDD	VSS	6/0
1010	D	D	A	A	VREF+	A	A	A	RA3	VSS	5/1
1011	D	D	A	A	VREF+	VREF-	A	A	RA3	RA2	4/2
1100	D	D	D	A	VREF+	VREF-	A	A	RA3	RA2	3/2
1101	D	D	D	D	VREF+	VREF-	A	A	RA3	RA2	2/2
1110	D	D	D	D	D	D	D	A	VDD	VSS	1/0
1111	D	D	D	D	VREF+	VREF-	D	A	RA3	RA2	1/2

A = Analog input D = Digital I/O

Configuración del ADCON1

Si se quiere que todos los pines del PORTA funcionen como entradas/salidas digitales se debe escribir un 011x en los bits PCFG<3:0> de ADCON1. Otro valor en estos bits hará que todos ó alguno de los pines del puerto A pasen a funcionar como pines del módulo conversor A/D (ver Lección - Módulo de conversión A/D en el PIC16F87X para más detalles). El valor de RESET del registro ADCON1 es todo a 0, por lo que por defecto, tras un reset el puerto está configurado como entradas analógicas.



Puerto B

Puerto bidireccional de 8 bits RA0-RA7

Si el bit de TRISB es un '1' es entrada y si es un '0' es salida. En el momento que el pin de PORTB pase a ser una salida (TRISB<x>=0) el circuito de pull-up se desactiva.

Disponen de resistencias "pull-up" en todos los pines. Se utilizan para que las entradas al puerto no queden al "aire". Se configura con un "0" en el bit 7 del reg. OPTION (RBPUP).

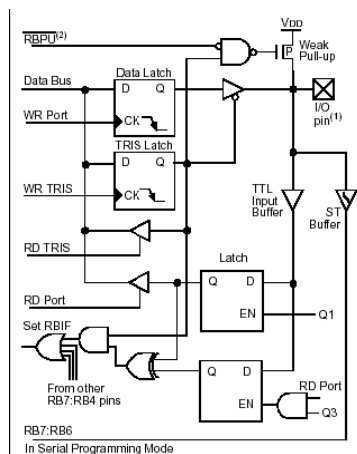
El pin RB0 puede emplearse como entrada de interrupción (INT). Para su configuración se usa el bit INTEDG (OPTION_REG<6>).

Los pines RB4-RB7 pueden emplearse para generar interrupciones cuando se produzca un cambio en el valor de cualquiera de dichos pines. Para ello el bit RBIE=1 (INTCON).

La interrupción por cambio en el PORTB puede despertar al micro del modo dormido SLEEP.

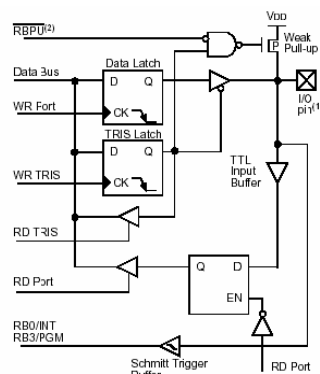


ESTRUCTURA DE LOS PINES RB7:4



Note 1: I/O pins have diode protection to V_{DD} and V_{SS}.
2: To enable weak pull-ups, set the appropriate TRIS bit(s) and clear the RBPUP bit (OPTION_REG<7>).

ESTRUCTURA DE LOS PINES RB0:3



Note 1: I/O pins have diode protection to V_{DD} and V_{SS}.
2: To enable weak pull-ups, set the appropriate TRIS bit(s) and clear the RBPUP bit (OPTION_REG<7>).



FUNCION DE LOS PINES

Name	Bit#	Buffer	Function
RB0/INT	bit0	TTL/ST ⁽¹⁾	Input/output pin or external interrupt input. Internal software programmable weak pull-up.
RB1	bit1	TTL	Input/output pin. Internal software programmable weak pull-up.
RB2	bit2	TTL	Input/output pin. Internal software programmable weak pull-up.
RB3/PGM ⁽³⁾	bit3	TTL	Input/output pin or programming pin in LVP mode. Internal software programmable weak pull-up.
RB4	bit4	TTL	Input/output pin (with interrupt-on-change). Internal software programmable weak pull-up.
RB5	bit5	TTL	Input/output pin (with interrupt-on-change). Internal software programmable weak pull-up.
RB6/PGC	bit6	TTL/ST ⁽²⁾	Input/output pin (with interrupt-on-change) or In-Circuit Debugger pin. Internal software programmable weak pull-up. Serial programming clock.
RB7/PGD	bit7	TTL/ST ⁽²⁾	Input/output pin (with interrupt-on-change) or In-Circuit Debugger pin. Internal software programmable weak pull-up. Serial programming data.

Legend: TTL = TTL input, ST = Schmitt Trigger input

Note 1: This buffer is a Schmitt Trigger input when configured as the external interrupt.

2: This buffer is a Schmitt Trigger input when used in Serial Programming mode.

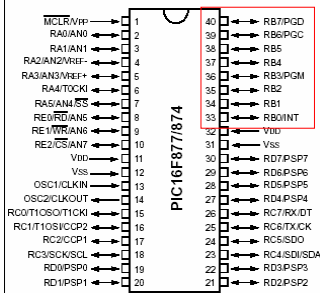
3: Low Voltage ICSP Programming (LVP) is enabled by default, which disables the RB3 I/O function. LVP must be disabled to enable RB3 as an I/O pin and allow maximum compatibility to the other 28-pin and 40-pin mid-range devices.

REGISTROS ASOCIADOS AL PUERTO B

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
06h, 106h	PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxx xxxx	uuuu uuuu
86h, 186h	TRISB	PORTB Data Direction Register								1111 1111	1111 1111
81h, 181h	OPTION_REG	RBP0	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111

Legend: x = unknown, u = unchanged. Shaded cells are not used by PORTB.

PDIP



Ejemplo:

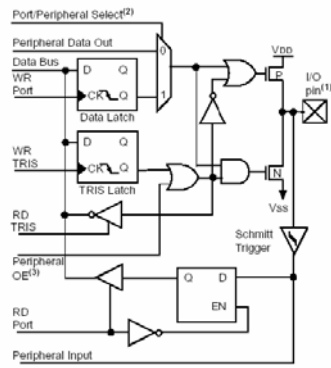
```
CLRF          PORTB          ;borramos PORTB
BSF           STATUS,RP0     ;selección banco1
MOVLW        0xCF            ;
MOVWF        TRISB          ;selecciona RB4 y RB5 como salidas
```



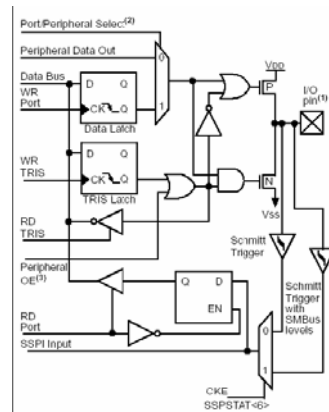
PORTC es un puerto bidireccional de 8 bits. TRISC (1 entrada, 0 salida).

los pines RC3 y RC4 pueden configurarse para que pasen a formar parte del módulo I2C.

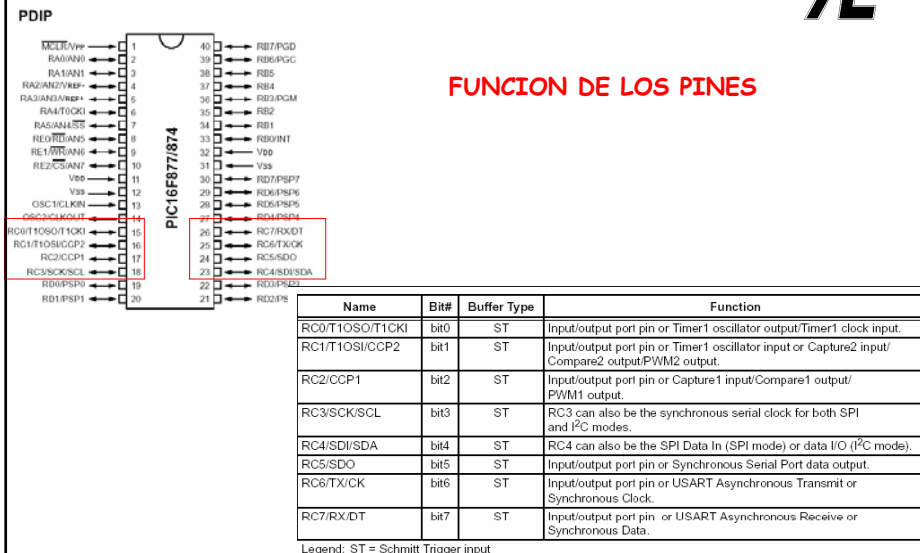
ESTRUCTURA DE LOS PINES RC<2:0> Y RC<7:5>



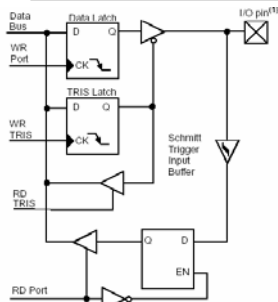
ESTRUCTURA DE LOS PINES RC<4:3>



FUNCION DE LOS PINES



Puertos de Entrada/Salida



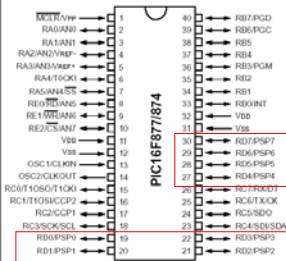
Puerto D

PORTD es un puerto bidireccional de 8 pines con entrada de tipo Schmitt Trigger.

TRISD (1 entrada, 0 salida).

El PORTD puede configurarse para que se comporte como un puerto esclavo paralelo de 8 bits de un microprocesador si se pone el bit de control PSPMODE (TRISE<4>) a 1.

En este modo de funcionamiento los buffers de entrada son TTL



©ATE-Universidad de Oviedo

17

Puertos de Entrada/Salida



FUNCION DE LOS PINES

Name	Bit#	Buffer Type	Function
RD0/PSP0	bit0	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit0.
RD1/PSP1	bit1	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit1.
RD2/PSP2	bit2	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit2.
RD3/PSP3	bit3	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit3.
RD4/PSP4	bit4	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit4.
RD5/PSP5	bit5	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit5.
RD6/PSP6	bit6	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit6.
RD7/PSP7	bit7	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit7.

Legend: ST = Schmitt Trigger input, TTL = TTL input

Note 1: Input buffers are Schmitt Triggers when in I/O mode and TTL buffers when in Parallel Slave Port mode.

REGISTROS ASOCIADOS AL PUERTO D

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
08h	PORTD	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	xxxx xxxx	uuuu uuuu
88h	TRISD	PORTD Data Direction Register								1111 1111	1111 1111
89h	TRISE	IBF	OBF	IBOV	PSPMODE	—	PORTE Data Direction Bits			0000 -111	0000 -111

Legend: x = unknown, u = unchanged, - = unimplemented, read as '0'. Shaded cells are not used by PORTD.

©ATE-Universidad de Oviedo

18



Puerto E

PORTE tiene 3 pines (RE0/RD/AN5, RE1/WR/AN6, y RE2/CS/AN7) que son individualmente configurables como entradas o salidas.

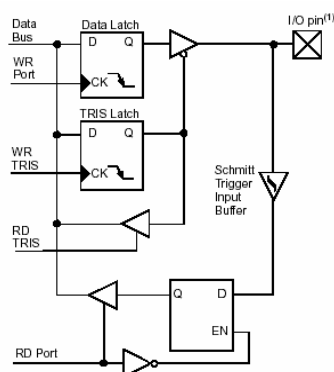
Como función alternativa, el PORTE puede comportarse como entradas/salidas de control para el puerto esclavo paralelo del que forma parte junto con el PORTD si el bit PSPMODE (TRISE<4>) se pone a 1.

Para el funcionamiento en este modo, el usuario debe asegurarse que los bits TRISE<2:0> están a 1, y que estos pines sean entradas digitales. En este modo los buffers de entrada son TTL.

Como segunda función alternativa de estos pines está el servir de entradas analógicas AN5, AN6, AN7. Realmente este es su estado inicial tras un Power-on-Reset. Debemos modificar el valor de ADCON1 para que funcione como entradas digitales. Si se trata de leer el valor del PORTE cuando esta configurado como entradas analógicas, se leen como '0'. El registro TRISE debe tener sus bits a '0' (entradas) cuando se usen como entradas digitales.

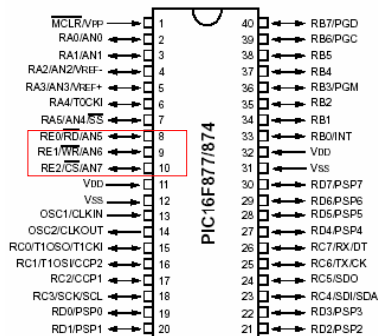


ESTRUCTURA DE LOS PINES DE PORTE



Note 1: I/O pins have protection diodes to V_{DD} and V_{SS}.

PDIP





FUNCION DE LOS PINES

Name	Bit#	Buffer Type	Function
RE0/RD/AN5	bit0	ST/TTL ⁽¹⁾	I/O port pin or read control input in Parallel Slave Port mode or analog input: RD 1 = Idle 0 = Read operation. Contents of PORTD register are output to PORTD I/O pins (if chip selected)
RE1/WR/AN6	bit1	ST/TTL ⁽¹⁾	I/O port pin or write control input in Parallel Slave Port mode or analog input: WR 1 = Idle 0 = Write operation. Value of PORTD I/O pins is latched into PORTD register (if chip selected)
RE2/CS/AN7	bit2	ST/TTL ⁽¹⁾	I/O port pin or chip select control input in Parallel Slave Port mode or analog input: CS 1 = Device is not selected 0 = Device is selected

Legend: ST = Schmitt Trigger input, TTL = TTL input

Note 1: Input buffers are Schmitt Triggers when in I/O mode and TTL buffers when in Parallel Slave Port mode.

REGISTROS ASOCIADOS AL PUERTO E

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
00h	PORTE	—	—	—	—	—	RE2	RE1	RE0	--- -xxx	--- -uuu
89h	TRISE	IBF	OBF	IBOV	PSPMODE	—	PORT E Data Direction Bits			0000 -111	0000 -111
9Fh	ADCON1	ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0	--0- 0000	--0- 0000

Legend: x = unknown, u = unchanged, - = unimplemented, read as '0'. Shaded cells are not used by PORTE.



TRISE REGISTER (ADDRESS 89h)

R-0	R-0	R/W-0	R/W-0	U-0	R/W-1	R/W-1	R/W-1
IBF	OBF	IBOV	PSPMODE	—	BIT2	BIT1	BIT0
bit 7							bit 0

Bits de control/estado del puerto esclavo paralelo:

bit 7 IBF: Input Buffer Full Status bit

1 = Se ha recibido una palabra y está a la espera de ser leída.

0 = No se ha recibido palabra

bit 6 OBF: Output Buffer Full Status bit

1 = El buffer de salida todavía tiene la palabra que se ha intentado enviar previamente.

0 = El buffer de salida ha sido leído.

bit 5 IBOV: Input Buffer Overflow Detect bit (en modo microprocesador)

1 = Se produjo una escritura cuando la palabra anterior aún no había sido leída. Debe limpiarse por software.

0 = No se produjo sobreescritura

bit 4 PSPMODE: Parallel Slave Port Mode Select bit

1 = PORTD funciona en modo puerto esclavo paralelo.

0 = PORTD funciona como puerto de entrada salida de proposito general.

bit 3 No implementado. Se lee como '0'.

Bits de direccion de datos del PORTE:

bit 2 Bit de control de la dirección del pin RE2/CS/AN7

1 = Entrada

0 = Salida

bit 1 Bit de control de la dirección del pin RE1/WR/AN6

1 = Entrada

0 = Salida

bit0 Bit de control de la dirección del pin RE0/RD/AN5

1 = Entrada

0 = Salida

Puertos de Entrada/Salida



ADCON1 REGISTER (ADDRESS 9Fh)

U-0	U-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0
bit 7							bit 0

bit 7 ADFM: bit de selección del formato del resultado de la conversión A/D.

1 = Justificado a la derecha. Los 6 bits más significativos de ADRESH se leen como '0'.

0 = Justificado a la izquierda. Los 6 bits más significativos de ADRESL se leen como '0'.

bit 6-4 No implementados: Leídos como '0'

bit 3-0 PCFG3:PCFG0: bits de control de configuración del puerto A/D.

PCFG3: PCFG0	AN7 ⁽¹⁾ RE2	AN6 ⁽¹⁾ RE1	AN5 ⁽¹⁾ RE0	AN4 RA5	AN3 RA3	AN2 RA2	AN1 RA1	AN0 RA0	VREF+	VREF-	CHAN/ Refs ⁽²⁾
0000	A	A	A	A	A	A	A	A	VDD	VSS	8/0
0001	A	A	A	A	VREF+	A	A	A	RA3	VSS	7/1
0010	D	D	D	A	A	A	A	A	VDD	VSS	5/0
0011	D	D	D	A	VREF+	A	A	A	RA3	VSS	4/1
0100	D	D	D	D	A	D	A	A	VDD	VSS	3/0
0101	D	D	D	D	VREF+	D	A	A	RA3	VSS	2/1
011x	D	D	D	D	D	D	D	D	VDD	VSS	0/0
1000	A	A	A	A	VREF+	VREF-	A	A	RA3	RA2	6/2
1001	D	D	A	A	A	A	A	A	VDD	VSS	6/0
1010	D	D	A	A	VREF+	A	A	A	RA3	VSS	5/1
1011	D	D	A	A	VREF+	VREF-	A	A	RA3	RA2	4/2
1100	U	U	U	A	VREF+	VREF-	A	A	RA3	RA2	3/2
1101	D	D	D	D	VREF+	VREF-	A	A	RA3	RA2	2/2
1110	D	D	D	D	D	D	A	A	VDD	VSS	1/0
1111	D	D	D	D	VREF+	VREF-	D	A	RA3	RA2	1/2

A = Analog input D = Digital I/O

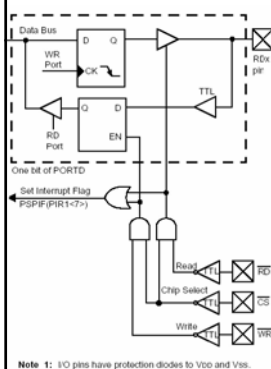
©ATE-Universidad de Oviedo

23

Puertos de Entrada/Salida



PUERTOS ESCLAVO PARALELO (PSP)



Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
08h	PORTD	Port Data Latch when written. Port pins when read								xxxx xxxx	xxxx xxxx
09h	PORTE	—	—	—	—	—	RE2	RE1	RE0	---- -xxx	---- -xxx
89h	TRISE	IBF	IOBF	IOV	PSPMODE	—	PORTE Data Direction Bits			0000 -111	0000 -111
0Ch	PIR1	PSPIF ⁽¹⁾	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE ⁽¹⁾	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
9Fh	ADCON1	ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0	--0- 0000	--0- 0000

Legend: x = unknown, u = unchanged, - = unimplemented, read as '0'. Shaded cells are not used by the Parallel Slave Port.

Note 1: Bits PSPIE and PSPIF are reserved on the PIC16F873/876; always maintain these bits clear.

PORTD funciona como un puerto esclavo paralelo de 8 bits si el bit PSPMODE (TRISE<4>) se pone a '1'. El PORTD puede ser leído o escrito por el sistema que rodea al microcontrolador usando como señales de control los pines de entrada RE0/RD para lectura y RE1/WR para escritura. Si se habilita el PSPMODE, el pin RE0/RD será la entrada de control para lectura, RE1/WR será la entrada de control de escritura y RE2/CS será la entrada de Selección de chip.

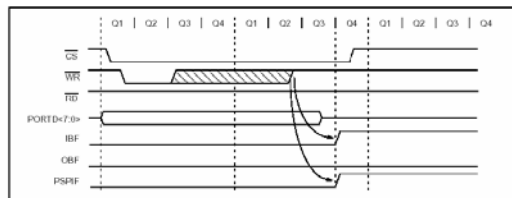
Para que estos bits del PORTE se comporten como pines de control del PSP se debe definir los bits de direcciones del registro TRISE (TRISE<2:0>) como entradas ('1') Y los bits de configuración del conversor A/D PCFG3:PCFG0 (ADCON1<3:0>) para Que sean digitales.

Realmente hay 2 latches de 8 bits: uno para la entrada y otro para la salida. El Usuario escribe en el latch PORTD de salida y lee del latch PORTD de entrada. En el modo PSP, el registro TRISD es ignorado ya que es el dispositivo externo (microprocesador) el que controla la dirección de los datos.

©ATE-Universidad de Oviedo

24

FORMAS DE ONDA DE ESCRITURA DEL PUERTO ESCLAVO PARALELO

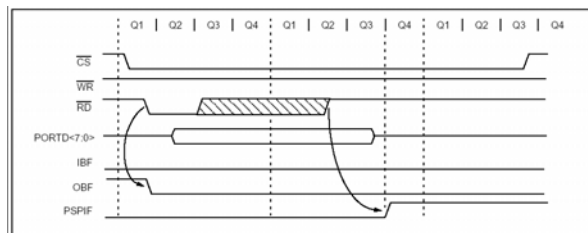


Una escritura al PSP se produce cuando las líneas CS y WR se ponen a la vez a nivel bajo. Una vez que el dispositivo externo considera finalizada la escritura, coloca a nivel alto alguna de esas 2 líneas. Este paso a nivel alto es detectado por el microcontrolador durante el ciclo Q2 de algún ciclo de instrucción que se esté ejecutando. El flag de Buffer de entrada completo (IBF) se coloca a 1 en el ciclo Q4 de la instrucción. El flag de interrupción PSIPF (PIR1<7>) también se pone a '1' pudiendo ocasionar un salto a la rutina de interrupción si los bits PSPIE (PIE1<7>) y los bits GIE y PEIE del INTCON están a 1.

El flag IBF solo puede limpiarse si se lee el PORTD.

El flag de overflow en el buffer de entrada IBOV (TRISE<5>) se pondrá a '1' si el dispositivo externo intenta hacer una segunda escritura sin que el núcleo del microcontrolador haya leído el PORTD.

FORMAS DE ONDA DE LECTURA DEL PUERTO ESCLAVO PARALELO



Una lectura del PSP se realiza cuando el sistema externo pone a la vez las señales CS y RD a nivel bajo. El flag que indica buffer de salida lleno OBF (TRISE<6>) se pone a '0' inmediatamente, indicando que el latch del PORTD está esperando a ser leído por el bus externo. El programa del microcontrolador debe colocar en el PORTD el dato del que quiere informar al resto del sistema. Cuando el sistema externo pone la señal CS o la RD a nivel alto, el microcontrolador espera al ciclo Q2 de la siguiente instrucción y en el ciclo Q4 de esa instrucción pone a 1 el flag de interrupción PSPIF indicando que la lectura del dato por parte del dispositivo externo se ha completado.

Cuando no estamos en modo PSP, los bits IBF y OBF permanecen a '0'. No obstante, si el bit IBOV había sido previamente puesto a 1, debe limpiarse en el programa.

Como hemos visto, el flag PSPIF se pone a 1 cuando se ha completado una lectura o escritura, este flag debe limpiarse por parte del programa de usuario. La interrupción puede deshabilitarse si se pone a '0' el bit de habilitación PSPIE (PIE<7>).